

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-018140

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H04L 7/033

H03L 7/08

(21)Application number : 2001-204163

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.07.2001

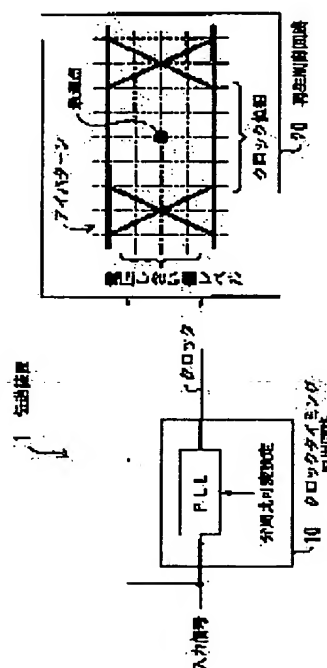
(72)Inventor : KAWASAKI WATARU  
ITO ATSUSHI

## (54) TRANSMITTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a transmission apparatus having a versatility which automatically sets an optimum point at a high accuracy, for improving the reliability and the quality of the signal regeneration control.

**SOLUTION:** A clock-timing extraction circuit 10 variably sets a frequency-dividing ratio, based on the transmission rate of an input signal, performs phase synchronization control, so that the phase difference between the input signal and an oscillation output is constant, and tracts a clock timing according to the transmission rate. A regeneration control circuit 20 sweeps voltage threshold level and the extracted clock phase one after the other with respect to the input signal, determines whether the levels of adjacent monitor points agree to automatically measure the least error occurrence recognizing point in an effective region of eye pattern, and takes this recognition point as the optimum point for executing the regeneration control.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-18140

(P2003-18140A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード<sup>\*</sup>(参考)

H 0 4 L 7/033

H 0 4 L 7/02

B 5 J 1 0 6

H 0 3 L 7/08

H 0 3 L 7/08

N 5 K 0 4 7

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号 特願2001-204163(P2001-204163)

(22) 出願日 平成13年7月5日(2001.7.5)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 川崎 渡

神奈川県横浜市港北区新横浜2丁目3番9号 富士通デジタル・テクノロジー株式会社内

(74) 代理人 100092152

弁理士 服部 毅蔵

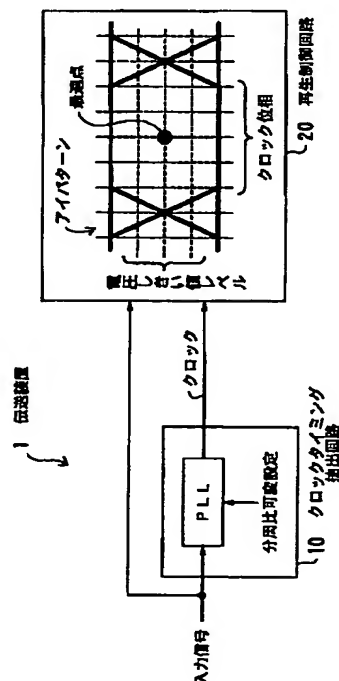
最終頁に続く

(54) 【発明の名称】 伝送装置

(57) 【要約】

【課題】 装置に汎用性を持たせ、かつ最適点設定を自動的に高精度に行って、信号の再生制御の信頼性及び品質の向上を図る。

【解決手段】 クロックタイミング抽出回路10は、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行い、伝送レートに応じたクロックタイミングを抽出する。再生制御回路20は、入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生率低い識別点を自動測定し、その識別点を最適点として再生制御を行う。



## 【特許請求の範囲】

【請求項1】 信号の再生制御を行う伝送装置において、  
入力信号の伝送レートにもとづいて、分周比を可变的に設定して、前記入力信号と発振出力との位相差が一定になるように位相同期制御を行い、前記伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出回路と、  
前記入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生度の低い識別点を自動測定し、前記識別点を最適点として再生制御を行う再生制御回路と、  
を有することを特徴とする伝送装置。

【請求項2】 前記クロックタイミング抽出回路は、入力信号と分周クロックとの周波数の位相を比較して、位相差を検出する位相比較手段と、前記位相差を平均化して制御電圧を生成する平均化手段と、前記制御電圧にもとづいて、同期クロックを発振する電圧制御発振手段と、分周比にもとづいて、前記同期クロックを分周して前記分周クロックを生成する分周手段と、前記制御電圧が設定範囲内にあるか否かを判断して、位相同期ループがロック状態であるか否かを認識し、認識結果により前記分周比を可变的に設定する位相同期ループ制御手段と、から構成されることを特徴とする請求項1記載の伝送装置。

【請求項3】 前記位相同期ループ制御手段は、電源が断した場合には、断前の分周比を前記分周手段に設定し、前記入力信号が断した場合には、断前の制御電圧を前記平均化手段に設定することを特徴とする請求項2記載の伝送装置。

【請求項4】 前記再生制御回路は、前記入力信号を前記電圧しきい値レベルを基準に信号判定し、前記入力信号から測定データを生成する電圧しきい値レベル設定手段と、前記クロックの位相を設定するクロック位相設定手段と、前記測定データの隣り合う前記モニタポイントにおけるレベルが一致するか否かを判定して判定情報を生成するレベル判定制御手段と、前記判定情報を保持する判定情報保持手段と、前記電圧しきい値レベルと、前記クロックの位相とを順次スイープさせて取得した前記判定情報から、前記アイパターンの有効領域内での最もエラー発生度の低い識別点を認識し、前記識別点を前記最適点として設定して再生制御を行う最適点設定手段と、から構成されることを特徴とする請求項1記載の伝送装置。

【請求項5】 前記最適点設定手段は、前記入力信号の伝送レートに対応するエラーレートにもとづいてリセット周期を設定し、前記リセット周期にもとづいて、前記判定情報保持手段で保持されている前記判定情報のリセ

ットを行うことを特徴とする請求項4記載の伝送装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、伝送装置に関し、特に信号の再生制御を行う伝送装置に関する。

## 【0002】

【従来の技術】インターネットをはじめとするマルチメディア時代を迎え、基幹通信系の光通信ネットワーク技術は、一層のサービスの高度化、広域化が望まれており、情報化社会に向けて急速に開発が進んでいる。

【0003】また、光通信の回線容量は、現在主流の2.4Gb/sから10Gb/sへと切り替わりつつあり、このような回線の大容量高速化に伴って、光伝送系の受信部でも、より高性能化した受信機能が要求されている。

【0004】光受信部の基本的な動作としては、受信した光信号を、まず、フォトダイオードで光/電気変換を行って、等化フィルタで波形整形及び雑音の帯域制限を施す。そして、タイミング抽出部でクロックタイミングを抽出し、識別判定部では抽出された同期クロックにもとづいて、“1”、“0”の識別判定を行って、データとして出力する。光受信部では、このような再生制御を行って、減衰し雑音が付加された光信号を、目標とするエラーレート（符号誤り率）以下となるように再生する。

## 【0005】

【発明が解決しようとする課題】しかし、従来の光受信部では、タイミング抽出部に対し、SAW（Surface Acoustic Wave）フィルタが広く使用されており、SAWフィルタを用いて入力信号から特定のクロックタイミングを抽出していたため、単一の伝送レートしか対応できず、装置に汎用性がないといった問題があった。

【0006】一方、光ファイバ伝送に対して、光ファイバの屈折率は波長により異なり、また伝搬光路も波長によりわずかに異なるため、同一ファイバでも光の伝搬時間（速度）が異なってくる。このような現象を波長分散といい、これが光伝送品質を制約する要因となっている。

【0007】従来の光受信部では、波長分散により生じる波形劣化を測定し、識別判定部における最適点を、人手で装置毎に設定していた。また、このような最適点の設定を行う場合には、装置の製造ばらつきや温度、電源電圧変動等も考慮しなければならないため、非常に効率が悪く、利便性に欠けており、信頼性や品質の確保が困難であった。

【0008】本発明はこのような点に鑑みてなされたものであり、装置に汎用性を持たせ、かつ最適点を自動的に高精度に行って、信号の再生制御の信頼性及び品質の向上を図った伝送装置を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明では上記課題を解決するために、図1に示すような、信号の再生制御を行う伝送装置1において、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行い、伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出回路10と、入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スweepさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生時の低い識別点を自動測定し、その識別点を最適点として再生制御を行う再生制御回路20と、を有することを特徴とする伝送装置1が提供される。

【0010】ここで、クロックタイミング抽出回路10は、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行い、伝送レートに応じたクロックタイミングを抽出する。再生制御回路20は、入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スweepさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生時の低い識別点を自動測定し、その識別点を最適点として再生制御を行う。

## 【0011】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は本発明の伝送装置の原理図である。伝送装置1は、受信した信号の再生制御を行う。

【0012】クロックタイミング抽出回路10は、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行う。そして、伝送レートに応じたクロックタイミングを抽出する。図2～図5で詳細に説明する。

【0013】再生制御回路20は、入力信号に対し、電圧しきい値レベルと、抽出したクロックのクロック位相とを順次スweepさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生時の低い識別点を自動的に測定する。そして、その識別点を最適点として再生制御を行う。図6以降で詳細に説明する。

【0014】次にクロックタイミング抽出回路10について詳しく説明する。図2はクロックタイミング抽出回路10の構成を示す図である。クロックタイミング抽出回路10は、位相比較手段11、平均化手段12、電圧制御発振手段13（以下、VCO13）、分周手段14、位相同期ループ制御手段15から構成される。

【0015】また、位相比較手段11は、2つのフリップフロップ（以下、FF1、FF2）と排他論理和素子

（以下、EOR1）から構成され、平均化手段12は、アンプ12a、ローパスフィルタ12b（以下、LPF12b）から構成される。

【0016】位相比較手段11は、受信した入力信号と、分周クロックCK2との周波数の位相を比較して、位相差をデューティとして検出する。平均化手段12は、アンプ12aを通じて入力された位相差（位相差が情報化されたパルス列）を、LPF12bにより平均化（高周波成分を遮断して直流化）して、制御電圧Vcを出力する。

【0017】VCO（Voltage Controlled Oscillator）13は、制御電圧Vcにもとづいて、同期クロックCK1（以下、VCOクロックCK1）を発振する（なお、VCO13は、入力信号の伝送レートの最高周波数まで発振可能である）。分周手段14は、カウンタで構成され、VCOクロックCK1を分周して、分周クロックCK2を生成する。

【0018】ここで、位相同期ループ制御手段15は、制御電圧Vcを常時モニタしており、制御電圧Vcが、あらかじめ設定したしきい値（下限しきい値Vc1、上限しきい値Vc2）の範囲内にあるか否かを判断する。

【0019】制御電圧Vcが設定範囲内にあれば（ $Vc1 < Vc < Vc2$ を満たせば）、位相同期ループ（PLL）がロック（LOCK）状態であると認識する。また、制御電圧Vcが設定範囲内になければ（ $Vc1 < Vc < Vc2$ を満たさなければ）、PLLがアンロック状態であると認識する。

【0020】そして、PLLのロック外れの場合には、現在の分周比を変更し、ロックするまで分周比を逐次設定していく。このようにして、入力信号の伝送レートに追従してクロックタイミングの抽出制御を行う。

【0021】ここで、分周比は、VCO13の発振周波数の可変範囲により決定する。また、 $1/n$ の分周を行う分周手段14の“n”の決定に際しては、VCOクロックCK1のクロックレートに対して、どこまでレートの低い $1/n$ 倍データの入力信号まで対象とするかによって、カウンタのビット数を設定する。

【0022】一方、位相同期ループ制御手段15は、制御電圧Vcと、設定した分周比とを記憶しており、電源投入時は、電源断した前回の分周比を分周手段14に設定する（ただし、PLLのロックはずれ情報は、PLLが安定化するまでマスクする）。

【0023】さらに、入力信号が断した場合には（入力信号の断検出制御としては、例えば、制御電圧Vcが、設定したしきい値の範囲から外れたか否かを見る方法や、位相差のパルスエッジが一定時間の間に1回もない場合を断として検出する等の方法を用いる）、断前の制御電圧Vcをアンプ12aに送信して、断前のクロック周波数をVCO13から発振させる。このような制御を行うことで、クロック供給の安定化を図ることが可能に

なる。

【0024】なお、再生制御回路20の処理で、クロック位相をスweepさせるために、後述の最適設定手段により、アンプ12に電圧を与えて制御電圧 $V_c$ のDCレベルのオフセット調整を行い、VCOクロックCK1の位相を変化させる制御が行われる。図14～図18で後述する。

【0025】次に位相比較手段11について説明する。図3～図5は位相比較手段11の動作を示すタイミングチャートである。図3では、PLLロック時の入力信号と分周クロックCK2とが同レートの場合を示している。

【0026】入力信号（ここでは、0/1交番のクロックイメージで表す）の1ビット内に分周クロックCK2の立ち上がりエッジと、次の立ち下りエッジが入っているため、分周クロックCK2の立ち上がりエッジで打ち抜いたFF1出力と、立ち下りエッジで打ち抜いたFF2出力が互いに90°位相のずれたデータとなる。このFF1、FF2出力を、EOR1により比較すると、デューティ(Duty)=50%の位相差データとなる。

【0027】そして、この位相差データをLPF12bで平均化した制御電圧 $V_c$ は、デューティ100%のときの電位 $V_1$ と、デューティ0%のときの電位 $V_2$ との中心電位になる。例えば、LPF12bがECL(Emitter Coupled Logic)素子で構成されているならば、 $V_1 = -0.8V$ 、 $V_2 = -1.8V$ 程度となるので、 $V_c = -1.3V$ となる。

【0028】図4では、図3の状態から入力信号の位相状態が変化した場合を示している。分周クロックCK2の立ち上がりエッジと次の立ち下りエッジが入力信号の変化点をまわっている(1ビット内に入っていない)が、FF1出力とFF2出力は90°ずれたデータとなり、EOR1による位相比較結果は、図3と同様にデューティ=50%となる。したがって、入力信号の伝送レートが変わらない限り、位相が変わってもEOR出力はデューティ=50%であり、分周比変更の契機とはならない。

【0029】図5では、入力信号の伝送レートが1/2に変化した場合を示している。分周クロックCK2の周期の倍のデータが入力されたことで、FF1出力とFF2出力は倍の周期となり、位相差は45°となる。そして、FF1、FF2出力を、EOR1により比較すると、デューティ=25%の位相差データとなる。

【0030】この位相差データをLPF12bで平均化した制御電圧 $V_c$ は、デューティ100%、0%のときの電位 $V_1$ 、 $V_2$ に対し、電位 $V_2$ から1/4上方にある電位になる。例えば、LPF12bがECL(Emitter Coupled Logic)素子で構成されているならば、 $V_1 = -0.8V$ 、 $V_2 = -1.8V$ 程度となるので、 $V_c = -1.55V$ となる。

【0031】このように、位相比較手段11では、入力信号に対し、分周クロックCK2の立ち上がりエッジでのレベルと、立ち下りエッジでのレベルとの排他的論理和をとって、位相差をデューティとして検出し、平均化手段12では、この検出結果に応じた制御電圧 $V_c$ を生成する。そして、制御電圧 $V_c$ に応じた分周比を設定する構成とした。これにより、入力信号の伝送レートを、精度よく認識することが可能になる。

【0032】以上説明したように、本発明のクロックタイミング抽出回路10は、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、入力信号と発振出力との位相差が一定になるようにPLL制御を行い、伝送レートに応じたクロックタイミングを抽出する構成とした。

【0033】これにより、従来のように、入力信号の伝送レート毎に特化した装置開発を行う必要がなく、本発明によって、柔軟性及び汎用性のあるクロックタイミング抽出制御を行うことが可能になる。

【0034】次に再生制御回路20について以降詳しく説明する。図6は再生制御回路20の構成を示す図である。再生制御回路20は、電圧しきい値レベル(以下、 $V_{ref}$ )設定手段21、レベル判定制御手段22、クロック位相設定手段23、判定情報保持手段24、最適点設定手段25から構成される。

【0035】 $V_{ref}$ 設定手段21は、最適点設定手段25の $V_{ref}$ 設定制御により設定された $V_{ref}$ により、入力信号を $V_{ref}$ 値を基準に信号判定(0, 1論理判定)して、入力信号から測定データを生成する。クロック位相設定手段23は、最適点設定手段25からの位相設定制御及びVCOクロックCK1にもとづいて、クロックの位相を設定してクロックCK3を出力する。

【0036】レベル判定制御手段22は、クロックCK3の現クロック及び一定時間遅延させた遅延クロックによる測定データにおける、隣り合うモニタポイントのレベルの一致状態を判定し(レベル不一致ならエラーあり、レベル一致ならエラーなし)、判定情報を生成する。判定情報保持手段24は、レベル判定制御手段22での検出された判定情報を保持する。

【0037】最適点設定手段25は、CPU機能を有しており、 $V_{ref}$ 設定手段21への $V_{ref}$ 設定制御、クロック位相設定手段23への位相設定制御及び平均化手段12へのオフセット調整制御を行って、 $V_{ref}$ 及びクロック位相を順次スweepさせる。そして、判定情報から、アイパターンの有効領域内での最もエラー発生率の低い識別点を判定し、その識別点を最適点として設定して再生制御を行う。なお、各構成手段の構成及び動作については後述する。

【0038】次に本発明が解決したい問題点について詳しく説明する。図7はアイパターンを説明するための模式図である。(A)は理想のアイパターン波形、(B)

は実際のアイパターン波形である。伝送信号には波形劣化が生じる。このような伝送信号に対して、オシロスコープなどの測定器でクロックに同期をかけて、信号を重ね合わせていくと、アイパターンを観測できる。

【0039】波形劣化がなければ、(A)のような理想的な波形となるが、伝送中の波形ひずみにより、傾斜と角の丸みが生じ、また、ジッタにより時間軸にずれを生じるために、実際は(B)のような波形の像になる。

【0040】したがって、信号を再生するには、アイパターンの空白部分の中央部(×印付近)に0/1の判定基準点(最適点)をもってくればよいことがわかる。従来では、人手を介して試験及び測定を、装置に対し逐一行うことで、このような判定基準点を設定して信号の再生制御を行っていた。

【0041】ところが、この場合、定量的な測定は難しく、また、信号の伝送レートの変化等が起きると、アイパターンの開口度が異なってくるために、最初に設定した判定基準点が最適点とはいえなくなるため、従来の技術では、伝送品質を保つことが困難であった。

【0042】本発明の再生制御回路20では、信号の伝送レートの変化等が生じた場合でも、アイパターンの開口度を自動的に認識し、かつ識別判定基準点の最適点を人手を介さず自動的に設定して、信頼性の高い高品質な再生制御を行うものである。

【0043】次に再生制御回路20について、Vref及びクロック位相をスイープさせて、アイパターンの開口度(アイマージン)を測定し、最適点を認識するまでの全体動作について説明する。

【0044】図8はVref設定手段21の動作を示す図である。Vref設定手段21は、差動入力素子で構成され、図ではPositive側の入力端子に入力信号が、Negative側の入力端子にはリファレンス電圧であるVrefが入力する(Positive側にVref、Negative側に入力信号が入力してもよい)。

【0045】そして、入力信号に対し、Vref1~VrefNが最適点設定手段25から順次設定されることで、入力信号が、それぞれのVrefのスライスレベルで“0”，“1”論理を識別したパルス(測定データ)が生成されて出力される。

【0046】例えば、入力信号(単一パルスとする)に対し、Vref2が設定された場合には、測定データm2が生成され、Vref(N-1)が設定された場合には、測定データm(N-1)が生成されることになる。

【0047】なお、図中、測定データの振幅Δvは、Vref値に依存するのではなく、Vref設定手段21の振幅特性によって決まる。図9は本発明のアイマージン測定の概要を示す図である。本発明では、入力信号に対して、Vrefとクロック位相とを順次スイープさせ、隣り合うモニタポイント(格子点)のレベルが一致するか否かの判定を行って、アイマージンを測定する。

【0048】例えば、入力信号がアイパターンEの場合に、Vref2のレベルでクロックCK3の位相t1、t2(隣接する各位相の差分はΔT)のときに生じるモニタポイントp1、p2のレベルの状態について考える。

【0049】点線で示す波形W1に対しては、Vref2により測定データm2aに変換される。このときのモニタポイントp1のレベル(位相t1のクロックCK3で測定データm2aを打ち抜いたときのレベル)は“L”、モニタポイントp2のレベル(位相t2のクロックCK3で測定データm2aを打ち抜いたときのレベル)も“L”であるので、レベル状態が一致(エラーなし)と判断される。

【0050】一方、太実線で示す波形W2を考えた場合、Vref2により測定データm2bに変換される。このときのモニタポイントp1のレベル(位相t1のクロックCK3で測定データm2bを打ち抜いたときのレベル)は“L”、モニタポイントp2のレベル(位相t2のクロックCK3で測定データm2bを打ち抜いたときのレベル)は“H”であるので、レベル状態が不一致(エラーあり)と判断される。

【0051】すなわち、アイマージン測定対象の入力信号に対し、最初、Vref1により生成した測定データに対して、クロックCK3の位相をt1~tNまでスイープしてできるモニタポイントにおける、隣接するモニタポイントのレベルを判定する。

【0052】次にVref1からVref2にスイープし、Vref2により生成した測定データに対して、クロックCK3の位相をt1~tNまでスイープしてできるモニタポイントにおける、隣接するモニタポイントのレベルを判定する。以下、同様にしてVrefNまで行っていく。そして、このように測定して得たレベルの判定結果により、アイパターン開口度を認識する。

【0053】なお、レベル判定すべきモニタポイントの移行契機は、目標のエラーレートに対応したタイミングにもとづいて行う(後述する)。図10はアイパターンを示す図であり、図11はレベル判定結果を示したアイパターンを示す図である。図10のアイパターンEに対し、太実線で示すように、波形が重なる部分を無効領域、アイ(目玉)の空白部分を有効領域と呼ぶ。

【0054】また、このようなアイパターンEのアイマージンを測定している様子を示す図が図11である。入力信号の最高速度が、VCOクロックCK1と同一値のときのアイマージン測定イメージを示している。

【0055】電圧軸に対しては、“H”レベルから“L”レベル間を10等分して、11ポイントの電圧ポイントVref1~Vref11を設定する(Vref間の電位差はΔV)。また、位相軸に対しては、データの1周期内を14等分して、15ポイントの位相ポイントt1~t15を設定する(位相差はΔT)。

【0056】したがって、この例では、1周期内のモニタポイントが $11 \times 15 = 165$ ポイントとなり、それぞれのポイントのレベルを、図9で上述したように、隣接間同士で比較して、レベルが一致しているか否かを判定することで、アイマージンを測定し、最適点を決定する。

【0057】図では、レベルが一致しているポイントを○印で示し、一致していないポイントを×印で示している。なお、無効領域（レベルが“H”とも“L”ともいえない不定部分である）内にあるポイントは、すべて×印となる。

【0058】また、無効領域内にあるポイントの位相を（ $t-1$ ）とした場合、同じVref上の位相 $t$ のポイントは、それが有効領域内にあったとしても必ず×印になる（比較すべき前回のポイントのレベルが不定であるので、その不定レベルのポイントと比較されたものはレベル不一致とみなす）。

【0059】例えば、Vref2上で、位相 $t5$ の状態を判定する場合、位相 $t4$ と位相 $t5$ のレベルを比較して、その比較結果が位相 $t5$ の状態となるが、位相 $t4$ が無効領域内にあるので、位相 $t5$ のレベルは不一致と

$$1/10^n = C/X$$

により求めた $X$ が移行周期になる。そして、同一Vref上ですべてのモニタポイントの比較が終われば、次のVrefに移って同様な処理を行う。

【0064】ここで例えば、入力信号の伝送レートが $2.488\text{Gb/s}$ （1周期が $400\text{ps} = 400 \times 10^{-12}\text{s}$ ）であり、目標エラーレートを $10\text{E}-8$ （ $= 10^{-8}$ ）とするならば、移行周期 $X$ は、 $X = 400 \times 10^{-12} \times 10^8 = 0.04$ 秒となる

同様に、 $2.488\text{Gb/s}$ の入力信号の目標エラーレートが $10\text{E}-9$ ならば、 $X = 0.4$ 秒であり、目標エラーレートが $10\text{E}-10$ ならば、 $X = 4.0$ 秒となる。

【0065】すなわち、 $2.488\text{Gb/s}$ の入力信号に対して、目標エラーレートを $10\text{E}-8$ に設定した場合、1つのモニタポイントのレベル判定を $0.04$ 秒間測定して、この時間の間一度もそのポイントでエラーがなければ（レベル不一致になって×印とならなければ）、このモニタポイントでは $10\text{E}-8$ を満足できているということである。

【0066】したがって、 $2.488\text{Gb/s}$ の入力信号のアイパターンに対し、図11に示す点線が $10\text{E}-8$ のラインとすれば、アイパターン有効領域内の点線上の○印及び点線枠内の○印すべて（これらの○印は $0.04$ 秒間エラーなし）が $10\text{E}-8$ を満足しているモニタポイントである。

【0067】また、アイパターン有効領域内の太実線が $10\text{E}-10$ のラインとすれば、太実線上の○印及び太実線枠内の○印すべて（これらの○印は $4.0$ 秒間エラ

して×印になる。

【0060】一方、Vref2上で、位相 $t6$ の状態を判定する場合、位相 $t5$ と位相 $t6$ のレベルを比較して、その比較結果が位相 $t6$ の状態となる。ここではレベルが一致するものとして○印になっている。以降、その他のポイントに対しても同様な操作を行ってレベル状態を判定する。そして、このようにして判定された結果は、 $165$ ポイントのレベル判定結果を格納できる容量を持つメモリ（最適点設定手段25が有する）に格納される（図20、21で後述）。

【0061】次にモニタポイントを移行する際の周期について説明する。モニタポイントのレベルを判定して、同じVref上で次の位相のモニタポイントに移行する際の移行周期（すなわち、1モニタポイントにおけるレベル判定の測定時間のこと）は、目標エラーレートにもとづいた周期で行う。

【0062】ここで、入力信号の1周期が $C$ 秒で、目標エラーレートを $10\text{E}-n$ とするならば、移行周期を $X$ 秒とした場合、以下の関係式

【0063】

【数1】

(1)

一なし）が $10\text{E}-10$ を満足しているモニタポイントである（ $10\text{E}-10$ を設定した場合には、 $10\text{E}-8$ のときと比べて、さらに条件が厳しくなって、アイパターン開口度が小さくなる）。

【0068】なお、図では同じ形のアイパターン上で $10\text{E}-8$ のラインと $10\text{E}-10$ のラインを便宜上示したが、図11のアイパターンが $10\text{E}-8$ の場合とするならば、 $10\text{E}-10$ のアイパターンはこれよりも開口度が小さい（無効領域が太くなって、有効領域が小さくなった）図になる。

【0069】そして、このような目標エラーレートのラインで囲まれた中心付近のポイントを最適点に設定する（図では $10\text{E}-10$ のときの最適点を黒丸で示している）。最適点設定の詳細については後述する。

【0070】図12は入力信号が低速時のアイマージン測定を示す図である。入力信号が低速の場合、Vrefステップは図11と同じだが、位相ステップは図11の $\Delta T$ よりも値の大きい $\Delta Ta$ を設定することになる。

【0071】これは、入力信号が低速の場合には、アイは横に広がることになるが、モニタポイント数はメモリ容量によって決められている。したがって、位相ステップ幅を大きくとることで、決められたメモリ容量で、入力信号の伝送レートに対応させたアイマージン測定を行うものである。

【0072】次に再生制御回路20を構成する、レベル判定制御手段22、クロック位相設定手段23、判定情報保持手段24、最適点設定手段25それぞれについて説明する。



【0073】図13はレベル判定制御手段22の構成を示す図である。レベル判定制御手段22は、2つのフリップフロップ（以下、FF3、FF4）と、排他論理和素子（以下、EOR2）と、遅延手段D1a、D1bから構成される。

【0074】FF3、FF4の入力データ端子には、Vref設定手段21から送信された測定データが入力し、FF3のクロック端子には、クロック位相設定手段23から送信されたクロックCK3が入力する。また、FF4のクロック端子には、遅延手段D1aでΔT遅延されたクロックCK3dが入力する。したがって、クロックCK3の位相がt1であれば、クロックCK3dの位相はΔT遅延した位相t2である。

【0075】さらに、FF3の出力を、遅延手段D1bで遅延手段D1aと同じ遅延値であるΔT分遅延させて（ひげの発生防止）、FF4の出力と位相を合わせる。そして、EOR2でこの2つのデータの排他論理和をとって、位相t1と位相t2それぞれのデータのレベル比較を行い、不一致なら“L”、一致ならば“H”を判定情報として出力する。

【0076】このような構成により、各Vrefの測定データに対して、クロック位相設定手段23から位相が設定されたクロックCK3にもとづいて、モニタポイントのレベル判定制御を行うことができる。なお、最適点が設定されたときに識別されたデータは、FF4の出力を用いている。

【0077】次にクロック位相設定手段23について説明する。図14はクロック位相設定手段23の構成を示す図である。クロック位相設定手段23は、nビットのカウンタ23a、デコーダ23b、23c、セレクトタ23dから構成される。なお、外部入力であるカウンタ値制御、デジタル位相ステップ制御及びセレクト信号は、最適点設定手段25から設定される。

【0078】カウンタ23aは、VCOクロックCK1にてカウント動作を行うカウンタである。ここで例えば、入力信号の最高伝送レートが2.488Gb/sならば、カウンタ23aへの入力クロックは、2.488Gb/sのVCOクロックCK1が入力される。

【0079】また、カウンタ23aのビット数nは、VCOクロックCK1の何分の1倍までの入力信号の伝送レートを動作可能とするかによって決定する。例えば、VCOクロックCK1=2.488Gb/sで、入力信号が1.9Mb/sまでを対象にする場合、VCOクロックCK1を1/128分周する必要があるため、n=7となる。

【0080】デコーダ23bは、カウンタ値制御にもとづいて、カウンタアドレスからデコード値を生成し、カウンタ23aのLoad端子へフィードバックして、カウンタ23aの最大カウント値（分周比）を変える。

【0081】デコーダ23cは、デコーダ23bにより

分周比が設定されたカウンタアドレスを受信してデコードし、デジタル位相ステップ制御にもとづくデコード値を選択して、これを分周クロックCKbとして出力する。

【0082】セレクトタ23dは、セレクト信号にもとづいて、スルークロック（入力信号の最高伝送レートと同じ値のときのVCOクロックCK1）CKa、または分周クロックCKbのいずれかを選択して、選択したクロックをクロックCK3として、レベル判定制御手段22へ送信する。

【0083】ここで、VCOクロックCK1が2.488Gb/sであり、入力信号の伝送レートも2.488Gb/sの場合（入力信号とVCOクロックCK1が同レートの場合）、スルークロックCKaが選択される。スルークロックCKaは、最適点設定手段25からのオフセット調整制御のみによって、位相がステップ毎に変化していくクロックである。

【0084】また、入力信号の伝送レートが2.488Gb/s以下の場合には、分周クロックCKbが選択される。分周クロックCKbは、最適点設定手段25からのデジタル位相ステップ制御及びオフセット調整制御の組み合わせによって、位相がステップ毎に変化していくクロックである。

【0085】図15～図18はクロック位相設定のタイミングチャートを示す図である。図15は、入力信号とVCOクロックCK1が2.488Gb/sの同レートの場合である。

【0086】同レート時の位相スイープは、最適点設定手段25がオフセット調整制御をクロックタイミング抽出回路10の平均化手段12に与えて、VCO13への入力電圧のオフセットを段階的に変えることで実行する。図では、分周クロックCKbの位相を、1周期32ステップ変化させた場合の例を示している。

【0087】したがって、位相Asamp1～Asamp32それぞれの位相差（=ΔT）は、入力信号の1周期（400ps）を32分割した12.5psになる。なお、この場合の横方向のモニタポイントの数は、t1～t32となるので32個あることになる。

【0088】最適点設定手段25は、例えば、位相Asamp1におけるモニタポイントでのレベル判定を終了したと認識した場合には、次に位相Asamp2の波形を生成するためのオフセット調整制御を行う。そして、クロック位相設定手段23では、生成された位相Asamp2のスルークロックCKaを、セレクト信号により選択して、レベル判定制御手段22へ送信する。以下、同様にして、クロックの位相スイープが行われる。

【0089】図16は、VCOクロックCK1が2.488Gb/sであり、入力信号が1.244Gb/sの場合である（入力信号が1/2レート）。この時の分周比は1/2であるから、カウンタ値制御によって、デコ

ーダ23bのデコード値を制御し、カウンタ23aを2進カウンタに設定する。そして、デコーダ23cは、カウンタ23aで1/2分周された分周カウンタ値をデコードして、分周クロックCKbを生成する。

【0090】すなわち、カウンタ値“0”のときのデコード値である位相Dsamp1のクロック信号と、カウンタ値“1”のときのデコード値である位相Dsamp2のクロック信号とを生成する。このデコード値の切り替えは、デジタル位相ステップ制御により行う。

【0091】図の場合、位相スイープのデータ周期前半タイミング(1~16位相)に対しては、デコーダ23cによりカウンタ値“0”をデコードした位相Dsamp1のクロック信号が用いられる。そして、このクロック信号に、図15で説明したようなオフセット調整制御を施して、Asamp1~Asamp32の奇数ステップの位相をつくる。そして、これらのクロック信号を分周クロックCKbとし、この分周クロックCKbを、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0092】また、位相スイープのデータ周期後半タイミング(1~16位相)に対しては、デコーダ23cによりカウンタ値“1”をデコードした位相Dsamp2のクロック信号を用いる。そして、同様にして、このクロック信号に、図15で説明したようなオフセット調整制御を施して、Asamp1~Asamp32の奇数ステップの位相をつくる。そして、これらのクロック信号を分周クロックCKbとし、この分周クロックCKbを、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0093】このように、入力信号がVCOクロックCK1よりも低レートの場合には、デジタル位相ステップ制御とオフセット調整制御を組み合わせ、クロックの位相スイープ制御を行う。

【0094】一方、図17、18は、VCOクロックCK1が2.488Gb/sであり、入力信号が622Mb/sの場合を示している(入力信号が1/4レート)。この時の分周比は1/4であるから、カウンタ値制御によって、デコーダ23bのデコード値を制御し、カウンタ23aを4進カウンタに設定する。そして、デコーダ23cは、カウンタ23aで1/4分周された分周カウンタ値をデコードして、分周クロックCKbを生成する。

【0095】すなわち、カウンタ値“0”のときのデコード値である位相Dsamp1のクロック信号、カウンタ値“1”のときのデコード値である位相Dsamp2のクロック信号、カウンタ値“2”のときのデコード値である位相Dsamp3のクロック信号、カウンタ値“3”のときのデコード値である位相Dsamp4のクロック信号を生成する。このデコード値の切り替えは、デジタル位相ステップ制御により行う。

【0096】図の場合、位相スイープのデータ周期1/4タイミング(1~8位相)に対しては、デコーダ23cによりカウンタ値“0”をデコードした位相Dsamp1のクロック信号が用いられる。そして、このクロック信号に、図15で説明したようなオフセット調整制御を施して、Asamp1~Asamp32のうち4間隔ステップの位相をつくる(Asamp1、5、9、13、…、29)。そして、これらのクロック信号を分周クロックCKbとし、この分周クロックCKbを、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0097】また、次の位相スイープのデータ周期1/4タイミング(1~8位相)に対しては、デコーダ23cによりカウンタ値“1”をデコードした位相Dsamp2のクロック信号を用いる。そして、このクロック信号に、図15で説明したようなオフセット調整制御を施して、Asamp1~Asamp32のうち4間隔ステップの位相をつくる(Asamp1、5、9、13、…、29)。そして、これらのクロック信号を分周クロックCKbとし、この分周クロックCKbを、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0098】以下、同様にして、残りの位相タイミングには、カウンタ値“2”をデコードした位相Dsamp3、カウンタ値“3”をデコードした位相Dsamp4それぞれにオフセット調整制御を施して分周クロックCKbを生成する。

【0099】このように、図16~図18のような入力信号がVCOクロックCK1よりも低レートの場合には、このレートに対応してデジタル位相ステップ制御とオフセット調整制御を組み合わせ、1周期内を常に32ステップの位相でサンプリングすることで、クロックの位相スイープ制御を行う。この制御により、モニタポイントのレベル判定情報を格納するメモリ容量を、一定にすることが可能になる。また、図15のように、レート変更を伴わない場合には、分周制御フローを省略して、時間の短縮化を図っている。

【0100】次に判定情報保持手段24について説明する。図19は判定情報保持手段24の構成を示す図である。判定情報保持手段24は、コンデンサC、抵抗R、スイッチSWから構成されるピークホールド回路である。

【0101】素子の接続関係は、コンデンサCの一方の端子は、0Vに接続し、他方の端子には、判定情報が入力される入力端子及び判定情報を出力する出力端子が接続し、かつ抵抗RとスイッチSWの一方の端子が接続する。抵抗Rの他方の端子は、V<sub>EE</sub>に接続し、スイッチSWの他方の端子は、0Vに接続する。スイッチSWのON/OFF制御は、最適点設定手段25から設定される。

【0102】ここで、判定情報が1回でも“L”（エラーあり）となった場合には、コンデンサCによってV<sub>EE</sub>電圧が保持される。ここで保持された判定情報は、最適点設定手段25で読み込まれる。なお、最適点設定手段25から強制的にスイッチSWをON（0Vに短絡）することによるリセット（コンデンサCの電荷放電）が実行されるまで、V<sub>EE</sub>電圧は保持される。

【0103】リセットタイミングは、上述したモニタポイントの移行周期を基本にして行う。すなわち、入力信号が2.488Gb/sで、目標エラーレートが10E-8ならば、リセットタイミングの周期は0.04秒であり、10E-9ならば0.4秒、10E-10であるならば4.0秒になる。

【0104】ここで、目標エラーレート10E-8の時の、リセットタイミングの周期（1つのモニタポイントの監視周期である）0.04秒を考える。このリセットタイミングの周期内に1回でもエラーが発生した場合には、最適点設定手段25は、判定情報保持手段24からエラーありの情報を即時に読み込んで、そのモニタポイントにおけるメモリアドレスにエラーありを書き込み、0.04秒を経過していなくても、次のモニタポイントへ移行し、リセットを判定情報保持手段24にかける。

【0105】また、この0.04秒以内にエラーがなければ、該当メモリアドレスにエラーなしを書き込み、次のモニタポイントへ移行し、またそのポイントで0.04秒の監視を行なう。

【0106】このように、目標エラーレートよりも高いレートでエラーが発生した場合には、即時に、次ステップ位相への移行及び判定情報保持手段24へのリセットを行う。これにより、アイマージン測定の高時間化を図ることが可能になる。

【0107】次に最適点設定制御について説明する。図20はモニタポイントとメモリとの対応関係を示す図である。アイバターンの測定領域内に、縦7（V<sub>ref</sub>が7つ）、横9（クロック位相が9つ）の7×9=63個のモニタポイントがある場合には、各モニタポイントの判定情報は、V<sub>ref</sub>がアドレスAdに対応し、クロック位相がデータDに対応したメモリ領域に格納される。

【0108】例えば、モニタポイントP(1,4)の判定情報は、アドレスAd00、データD3のメモリ領域に格納され、モニタポイントP(2,6)の判定情報は、アドレスAd01、データD5のメモリ領域に格納される。

【0109】図21は最適点設定制御を示す図である。最適点設定手段25は、各モニタポイントの判定情報を、図20に示したようなメモリに格納し、各V<sub>ref</sub>のエラーなし情報の数と、各クロック位相のエラーなし情報の数とから、最適点となるモニタポイントを検出する。

【0110】図では、メモリ容量が10×10に対し、それに合わせてV<sub>ref</sub>ステップ=10、クロック位相

ステップ=10として、判定情報を書き込んだ例である。最適点設定手段25は、まず、アドレスAd00～Ad09毎に、それぞれデータD0～D9に対する○印（エラーなし）を数える。この場合、アドレスAd04が8個あるため、ここを最適V<sub>ref</sub>と判断する。

【0111】次に、データD0～D9毎にそれぞれアドレスAd00～Ad09に対する○印を数える。この場合、データD5が8個あり、ここを最適クロック位相と判断する。すると、図の黒四角枠の位置が最適点となる。

【0112】したがって、アイマージン測定の結果、アドレスAd04の時のV<sub>ref</sub>の電圧が最適なきい値電圧であり、データD5の時のクロック位相が最適なクロック位相であると認識する。そして、このときのV<sub>ref</sub>をV<sub>ref</sub>設定手段21に設定し、このときのクロック位相をクロック位相設定手段23に設定することで、入力信号の最適再生制御を実行することが可能になる。

【0113】また、最適点設定手段25は、最適点となったモニタポイントのV<sub>ref</sub>及びクロック位相を記憶し、再起動時には記憶した最適点のV<sub>ref</sub>及びクロック位相で再生制御を行う。

【0114】次にアイマージン測定に関する最適点設定手段25の全体制御についてフローチャートを用いて説明する。図22、図23はアイマージン測定のプロフローチャートを示す図である。

【S1】目標エラーレートを設定する（リセットタイミング周期を設定する）。

【S2】メモリ領域（Ad00、D0）を設定する。

【S3】V<sub>ref</sub>1（入力信号の“H”電位）を設定する。

【S4】クロック位相t1を設定する。

【S5】判定情報保持手段24にリセットをかける。

【S6】モニタポイントの判定情報がエラーか否かを判断する。エラーなしならばステップS7へ、エラーありならばステップS8へ行く。

【S7】エラーなしをメモリに書き込む。ステップS9へ行く。

【S8】エラーありをメモリに書き込む。

【S9】次のモニタポイントへのステップ変更を行う。次ステップのクロック位相を設定する（位相t+ΔT）

【S10】位相tが上限の位相t<sub>N</sub>を超えたか否かを判断する。超えたならばステップS12へ、そうでなければステップS11へ行く。

【S11】メモリ領域を変更する（Ad=変更なし、D=+1）。ステップS5へ戻る。

【S12】次ステップのV<sub>ref</sub>を設定する（V<sub>ref</sub>+ΔV）。

【S13】メモリ領域を変更する（Ad=+1、D=0）。

【S14】 $V_{ref}$ が上限の $V_{refN}$ を超えたか否かを判断する。超えたならばメモリ容量のモニタポイントのアイマージン測定は終了である。超えてなければステップS4へ戻る。

【0115】次に本発明の伝送装置1を適用した光受信機について説明する。図24は光受信機の構成を示す図である。光受信機100は、光／電気変換部101、フィルタリング部102、クロックタイミング抽出部103（本発明のクロックタイミング抽出回路10に該当）、再生制御部104（本発明の再生制御回路20に該当）から構成される。

【0116】光／電気変換部101は、受信した光信号に光／電気変換を施す。フィルタリング部102は、波形整形制御として、波形整形及び雑音の帯域制限を施す。そして、フィルタリング部102から出力される信号を入力信号として、クロックタイミング抽出部103及び再生制御部104で処理することで、0/1が判定された識別データと、識別データに同期した識別クロックが出力される。

【0117】光受信機100の具体例としては、例えば、TDM装置（時分割装置）から送信された、異なる波長 $\lambda_1 \sim \lambda_n$ の光信号を受信し、WDM（Wavelength Division Multiplex）伝送のために各光信号を狭帯域の光信号に変換して出力するトランスポンダなどが該当する。

【0118】以上説明したように、本発明によれば、入力信号の伝送レートに応じて同期クロックを自動的に抽出し、また波形劣化のある入力信号に対して、任意のエラーレートに対する最適な識別点（電圧、位相）を自動的に設定する構成とした。これにより、伝送レート毎の専用品開発が不要となり、また従来のような人手による面倒な試験及び測定を行う必要がなくなるので、利便性が向上し、かつ信頼性及び品質の向上を図ることが可能になる。

【0119】さらに、本発明の伝送装置1を光受信機に適用した場合には、顧客が光の伝送速度を意識せずに使用できるので、伝送速度の仕様変更が容易となり、かつ光ファイバの長距離伝送における波形の分散劣化が発生しても、識別の最適化が自動で行えるので、高性能な信号受信制御が可能になる。なお、本発明の伝送装置1は、光受信機に限らず、あらゆる信号受信装置に適用可能である。

【0120】（付記1） 信号の再生制御を行う伝送装置において、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、前記入力信号と発振出力との位相差が一定になるように位相同期制御を行い、前記伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出回路と、前記入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか

否かの判定を行って、アイパターンの有効領域内での最もエラー発生率低い識別点を自動測定し、前記識別点を最適点として再生制御を行う再生制御回路と、を有することを特徴とする伝送装置。

【0121】（付記2） 前記クロックタイミング抽出回路は、入力信号と分周クロックとの周波数の位相を比較して、位相差を検出する位相比較手段と、前記位相差を平均化して制御電圧を生成する平均化手段と、前記制御電圧にもとづいて、同期クロックを発振する電圧制御発振手段と、分周比にもとづいて、前記同期クロックを分周して前記分周クロックを生成する分周手段と、前記制御電圧が設定範囲内にあるか否かを判断して、位相同期ループがロック状態であるか否かを認識し、認識結果により前記分周比を可変的に設定する位相同期ループ制御手段と、から構成されることを特徴とする付記1記載の伝送装置。

【0122】（付記3） 前記位相比較手段は、前記入力信号に対し、前記分周クロックの立ち上がりエッジでのレベルと、立ち下りエッジでのレベルとの排他的論理和をとって、前記位相差をデューティとして検出することを特徴とする付記2記載の伝送装置。

【0123】（付記4） 前記位相同期ループ制御手段は、電源が断した場合には、断前の分周比を前記分周手段に設定し、前記入力信号が断した場合には、断前の制御電圧を前記平均化手段に設定することを特徴とする付記2記載の伝送装置。

【0124】（付記5） 前記再生制御回路は、前記入力信号を前記電圧しきい値レベルを基準に信号判定し、前記入力信号から測定データを生成する電圧しきい値レベル設定手段と、前記クロックの位相を設定するクロック位相設定手段と、前記測定データの隣り合う前記モニタポイントにおけるレベルが一致するか否かを判定して判定情報を生成するレベル判定制御手段と、前記判定情報を保持する判定情報保持手段と、前記電圧しきい値レベルと、前記クロックの位相とを順次スイープさせて取得した前記判定情報から、前記アイパターンの有効領域内での最もエラー発生率低い識別点を認識し、前記識別点を前記最適点として設定して再生制御を行う最適点設定手段と、から構成されることを特徴とする付記1記載の伝送装置。

【0125】（付記6） 前記レベル判定制御手段は、前記測定データに対して、現クロックをトリガとした出力と、前記現クロックを一定時間遅延させた遅延クロックをトリガとした出力と、の位相を合わせた後に、排他的論理和をとって前記モニタポイントのレベル判定を行い、前記判定情報を生成することを特徴とする付記5記載の伝送装置。

【0126】（付記7） 前記最適点設定手段は、前記入力信号の最高伝送レートと前記同期クロックのレートが同一の場合は、前記クロックタイミング抽出回路にオ

フセット調整制御を施してスルークロックを生成させ、前記クロック位相設定手段が前記スルークロックを選択することで、クロック位相のスweepを行うことを特徴とする付記5記載の伝送装置。

【0127】(付記8) 前記最適点設定手段は、前記入力信号の伝送レートが前記同期クロックのレートよりも小さい場合は、前記クロック位相設定手段にカウンタ値制御及びデジタル位相ステップ制御を施して、分周比を変えたクロック信号を生成させ、かつ前記クロックタイミング抽出回路にオフセット調整制御を施して、前記クロック信号にもとづいて分周信号を生成させ、前記クロック位相設定手段が前記分周クロックを選択することで、クロック位相のスweepを行うことを特徴とする付記5記載の伝送装置。

【0128】(付記9) 前記最適点設定手段は、前記入力信号の伝送レートに対応するエラーレートにもとづいてリセット周期を設定し、前記リセット周期にもとづいて、前記判定情報保持手段で保持されている前記判定情報のリセットを行うことを特徴とする付記5記載の伝送装置。

【0129】(付記10) 前記最適点設定手段は、前記判定情報にエラーありを認識した場合は、前記リセット周期を待たずに、次モニタポイントへ移行する制御を行うことを特徴とする付記9記載の伝送装置。

【0130】(付記11) 前記最適点設定手段は、前記モニタポイントの判定情報を格納すべきメモリを有し、電圧しきい値レベル及びクロック位相に対して、最もエラーのないメモリ領域に対応するモニタポイントを前記最適点として設定することを特徴とする付記5記載の伝送装置。

【0131】(付記12) 前記最適点設定手段は、最適点となったモニタポイントの電圧しきい値レベル及びクロック位相を記憶し、再起動時には記憶した前記最適点での前記電圧しきい値レベル及び前記クロック位相で再生制御を行うことを特徴とする付記11記載の伝送装置。

【0132】(付記13) 入力信号からクロックタイミングを抽出するクロックタイミング抽出回路において、前記入力信号と分周クロックとの周波数の位相を比較して、位相差を検出する位相比較手段と、前記位相差を平均化して制御電圧を生成する平均化手段と、前記制御電圧にもとづいて、同期クロックを発振する電圧制御発振手段と、分周比にもとづいて、前記同期クロックを分周して前記分周クロックを生成する分周手段と、前記制御電圧が設定範囲内にあるか否かを判断して、位相同期ループがロック状態であるか否かを認識し、認識結果により前記分周比を可変的に設定する位相同期ループ制御手段と、を有することを特徴とするクロックタイミング抽出回路。

【0133】(付記14) 入力信号の再生制御を行う

再生制御回路において、前記入力信号を電圧しきい値レベルを基準に信号判定し、前記入力信号から測定データを生成する電圧しきい値レベル設定手段と、識別判定するためのクロックの位相を設定するクロック位相設定手段と、前記測定データの隣り合うモニタポイントにおけるレベルが一致するか否かを判定して判定情報を生成するレベル判定制御手段と、前記判定情報を保持する判定情報保持手段と、前記電圧しきい値レベルと、前記クロックの位相とを順次スweepさせて取得した前記判定情報から、アイパターンの有効領域内での最もエラー発生 の低い識別点を認識し、前記識別点を前記最適点として設定して再生制御を行う最適点設定手段と、を有することを特徴とする再生制御回路。

【0134】(付記15) 光信号を受信して再生制御を行う光受信機において、前記光信号を光/電気変換して電気信号を生成する光/電気変換部と、前記電気信号の波形等化制御を行うフィルタリング部と、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、前記入力信号と発振出力との位相差が一定になるように位相同期制御を行い、前記伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出部と、前記入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スweepさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生 の低い識別点を自動測定し、前記識別点を最適点として再生制御を行う再生制御部と、を有することを特徴とする光受信機。

【0135】

【発明の効果】以上説明したように、本発明の伝送装置は、クロックタイミング抽出回路で、分周比を可変的に設定して、入力信号の伝送レートに応じたクロックタイミングを抽出し、再生制御回路で、入力信号に対して、電圧しきい値レベルと、抽出したクロックの位相とを順次スweepさせて、アイパターンの有効領域内での最もエラー発生 の低い識別点を自動測定し、その識別点を最適点として用いて、信号の再生制御を行う構成とした。これにより、伝送レートに応じて、クロックを抽出できるので、装置に汎用性を持たすことができ、かつ最適点を自動的に高精度に設定できるので、信号の再生制御の信頼性及び品質の向上を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明の伝送装置の原理図である。

【図2】クロックタイミング抽出回路の構成を示す図である。

【図3】位相比較手段の動作を示すタイミングチャートである。

【図4】位相比較手段の動作を示すタイミングチャートである。

【図5】位相比較手段の動作を示すタイミングチャートである。

す図である。

【図 17】クロック位相設定のタイミングチャートを示す図である。

【図 18】クロック位相設定のタイミングチャートを示す図である。

【図 19】判定情報保持手段の構成を示す図である。

【図 20】モニタポイントとメモリとの対応関係を示す図である。

【図 21】最適点設定制御を示す図である。

【図 22】アイマージン測定のプロフローチャートを示す図である。

【図 23】アイマージン測定のプロフローチャートを示す図である。

【図 24】光受信機の構成を示す図である。

【符号の説明】

1 伝送装置

10 クロックタイミング抽出回路

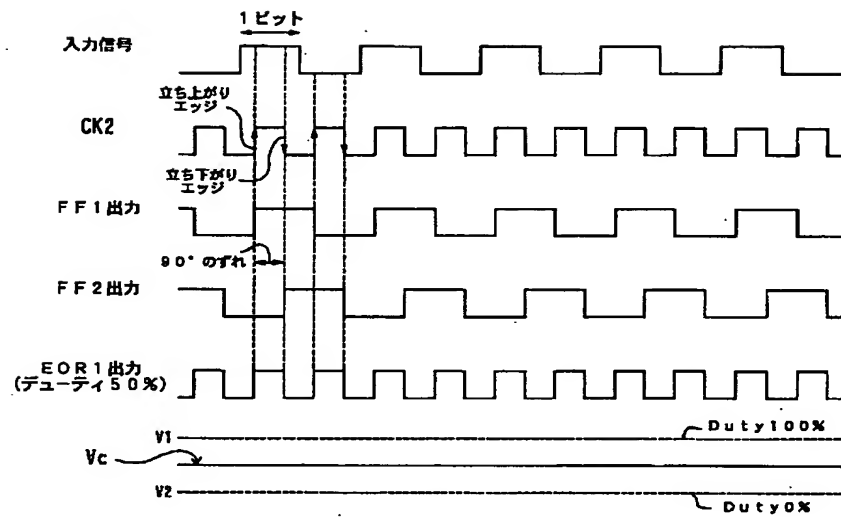
20 再生制御回路

Figure 1 is a block diagram of a clock timing extraction circuit (10). The circuit includes the following components and connections:

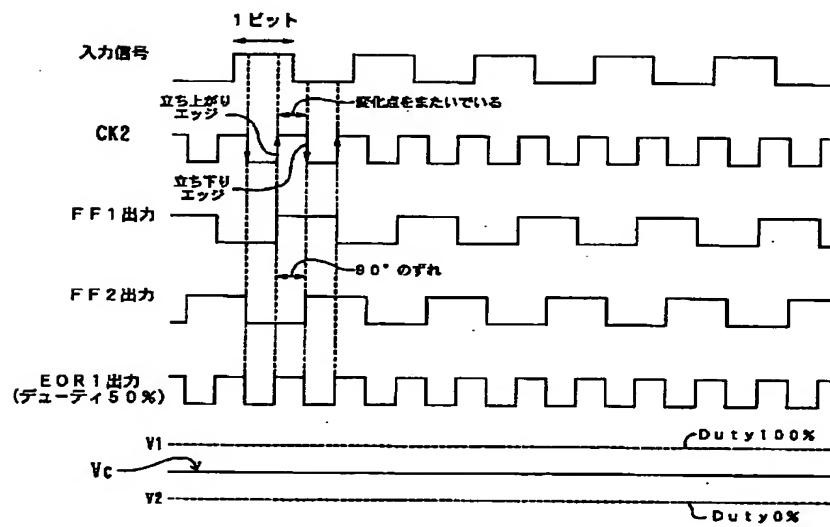
- Input Signal:** An input signal is fed into the phase comparison section (11) and the averaging section (12).
- Phase Comparison Section (11):** Contains two flip-flops (FF1, FF2) and an EOR gate (EOR1). The input signal is fed into FF1 and FF2. The output of FF1 is fed into EOR1. The output of FF2 is fed into EOR1. The output of EOR1 is labeled "位相差" (Phase Difference).
- Averaging Section (12):** Contains an A/D converter (12a) and a low-pass filter (12b). The "位相差" signal is fed into 12a. The output of 12a is fed into 12b. The output of 12b is labeled "Vc 制御電圧" (Control Voltage).
- Voltage-Controlled Oscillator (13):** A VCO (Voltage-Controlled Oscillator) that generates a clock signal. It is controlled by the "Vc 制御電圧" signal. The output of 13 is labeled "CK1 同期クロック (VCOクロック)" (Synchronous Clock (VCO Clock)).
- Frequency Divider (14):** A divider with a divider ratio setting section (15). The output of 13 is fed into 14. The output of 14 is labeled "CK2 分周クロック" (Divided Clock).
- Phase-Locked Loop (15):** A PLL (Phase-Locked Loop) that generates a clock signal. It is controlled by the "CK1 同期クロック (VCOクロック)" signal. The output of 15 is labeled "CK2 分周クロック" (Divided Clock).

The circuit is labeled "10 クロックタイミング抽出回路" (Clock Timing Extraction Circuit).

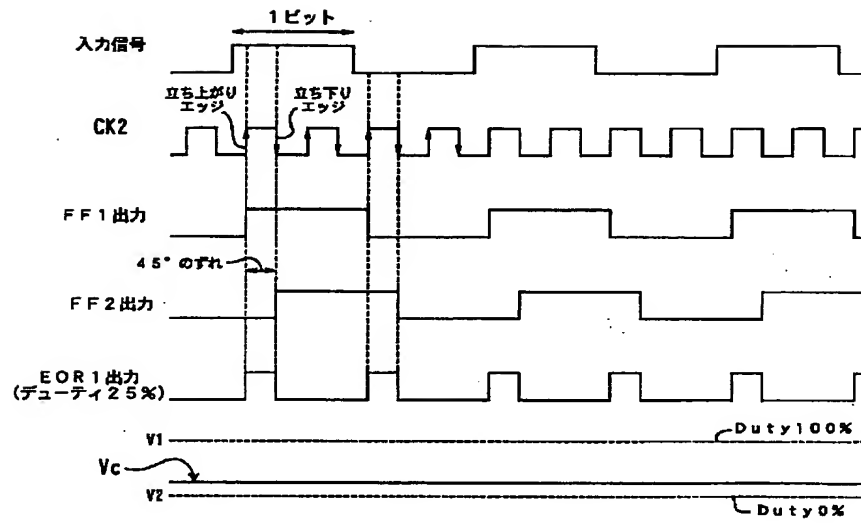
【図3】



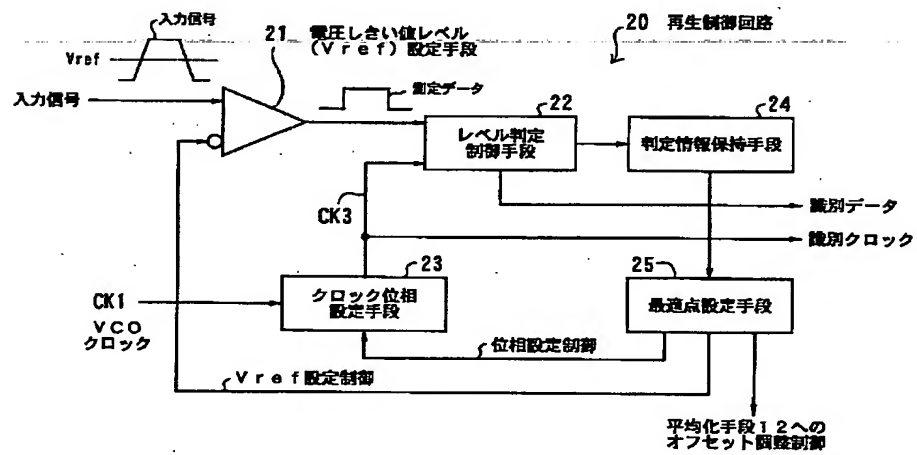
【図4】



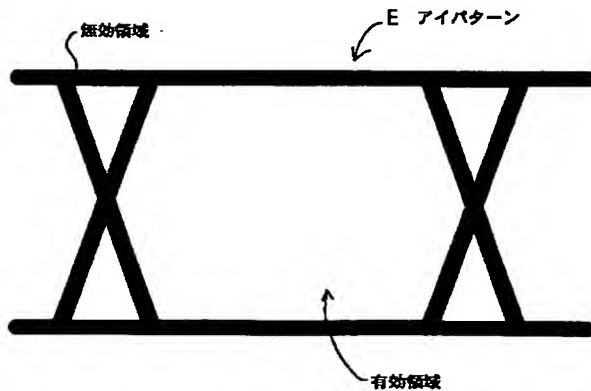
【図5】



【図6】



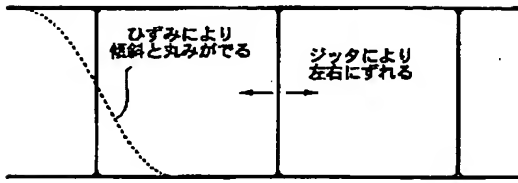
【図10】



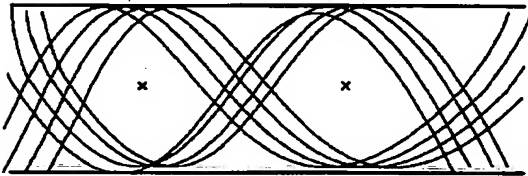


【図7】

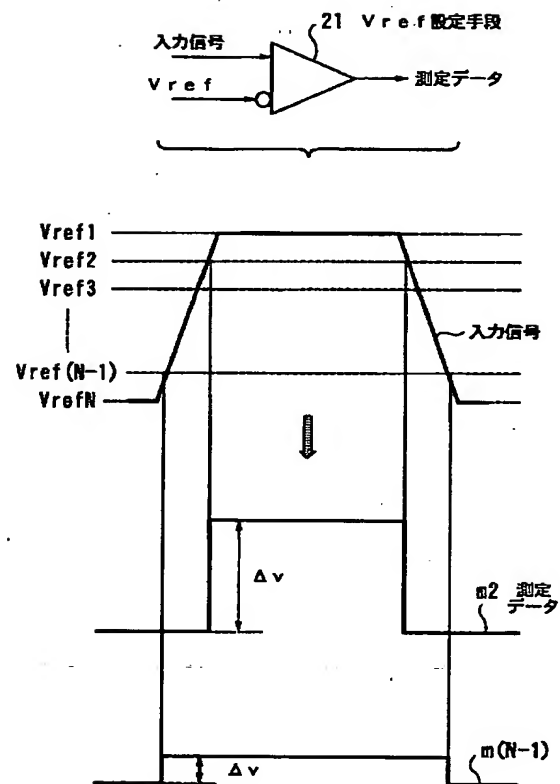
(A) 理想的なアイパターンイメージ



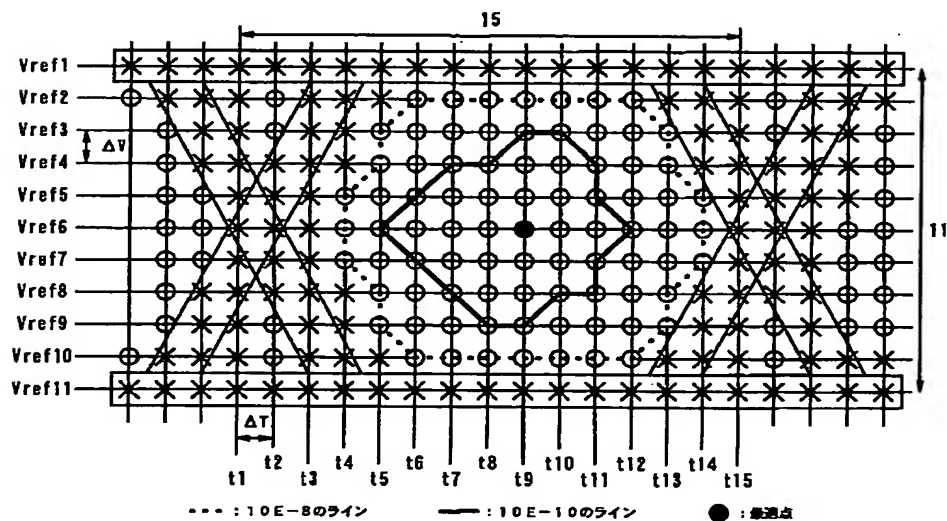
(B) 実際のアイパターンイメージ



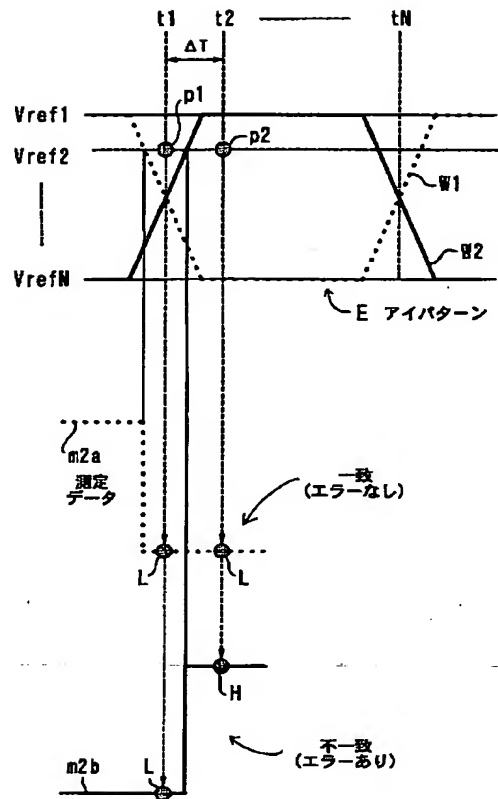
【図8】



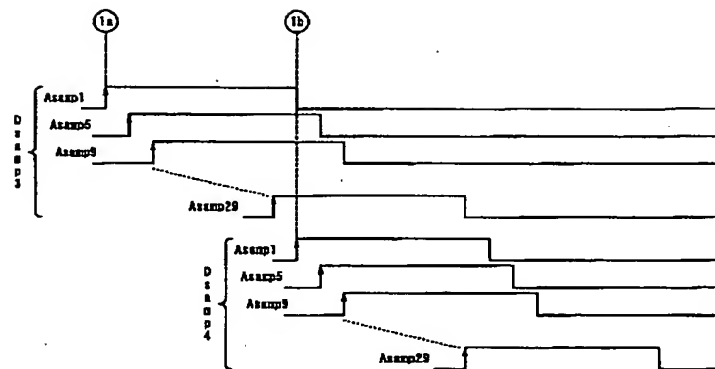
【図11】



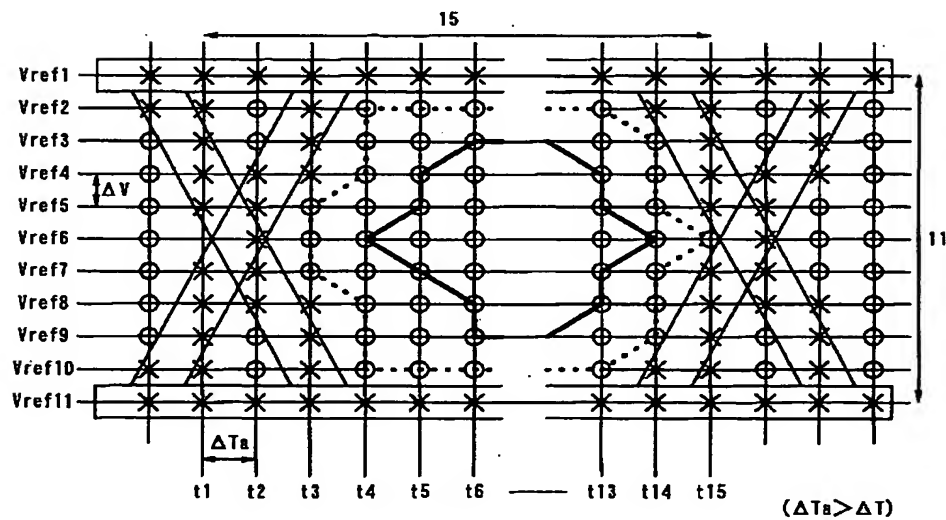
【図9】



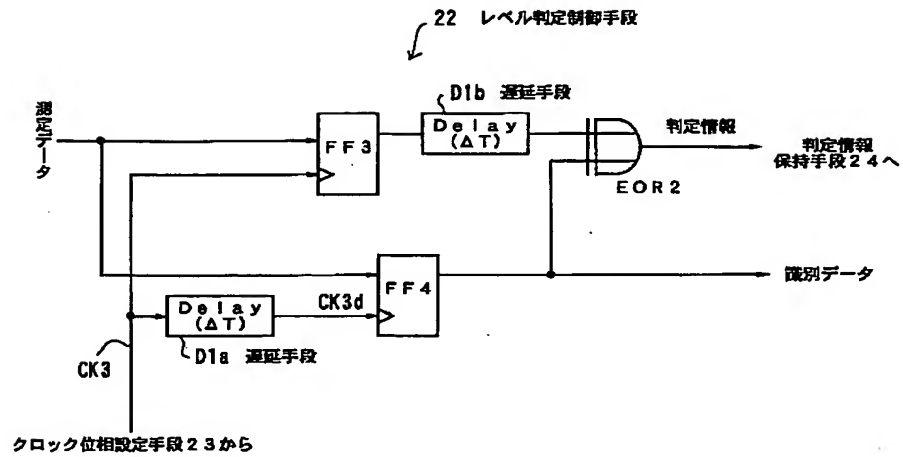
【図18】



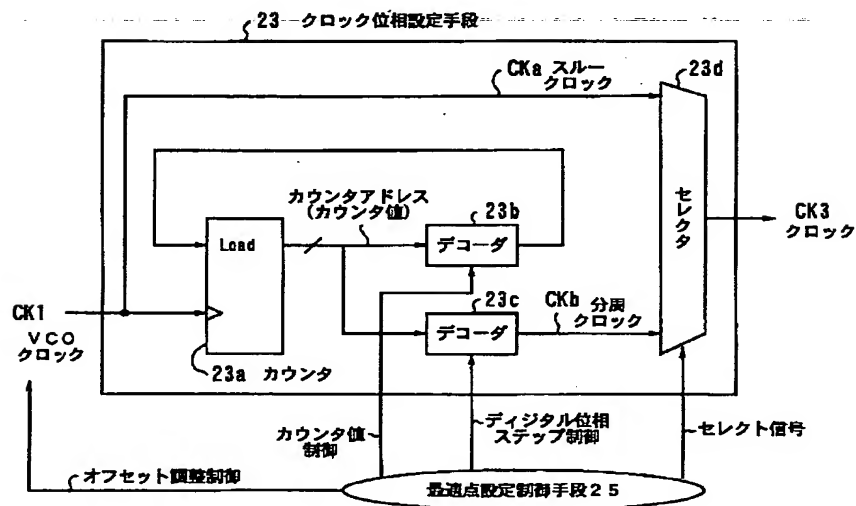
【図12】



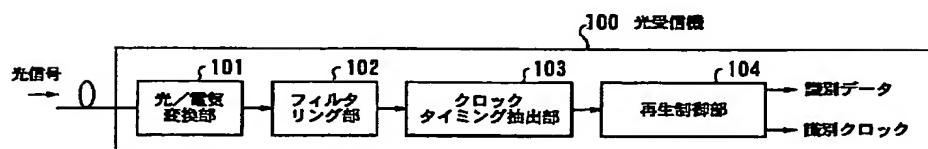
【図13】



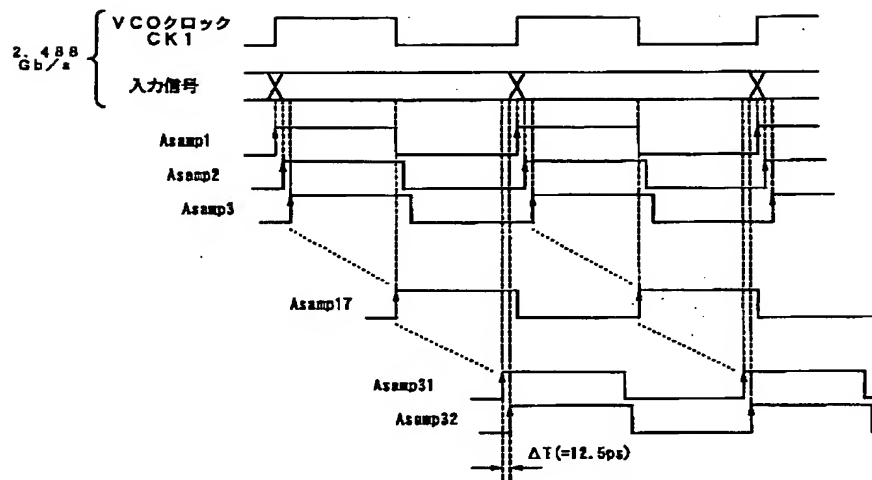
【図14】



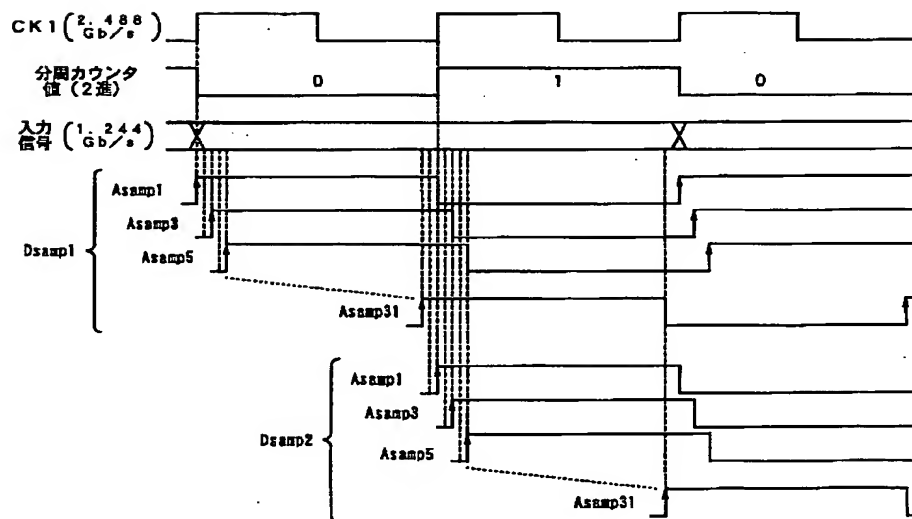
【図24】



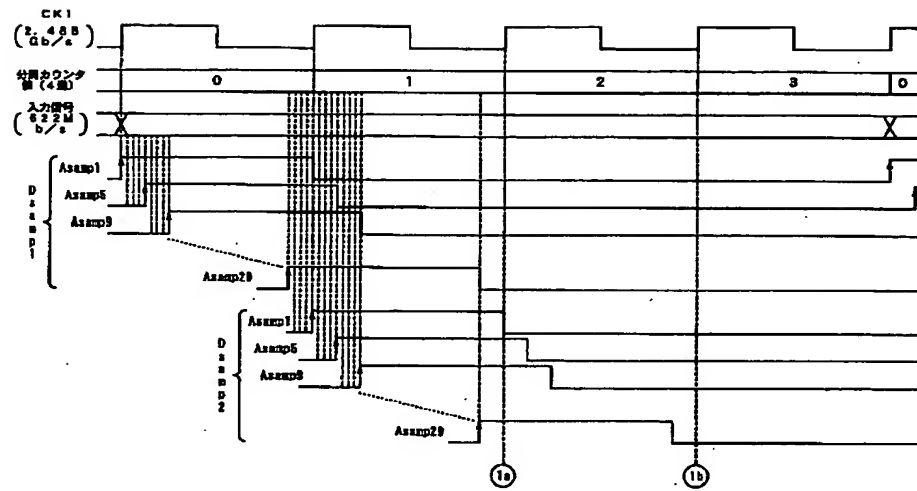
【図15】



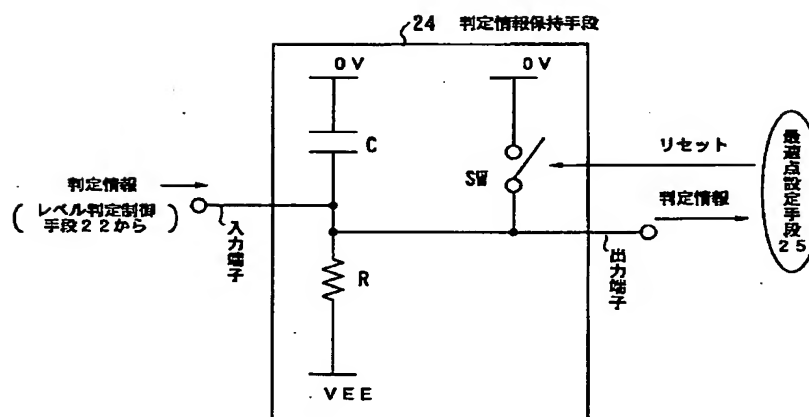
【図16】



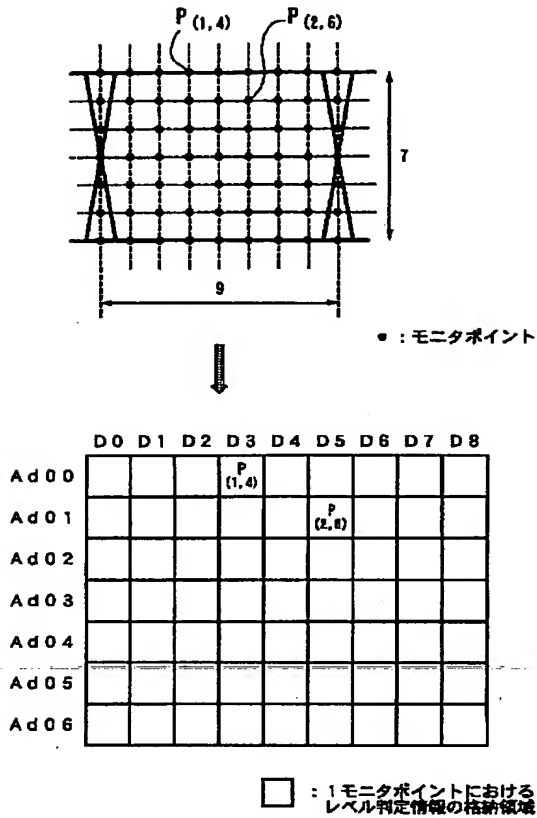
【図17】



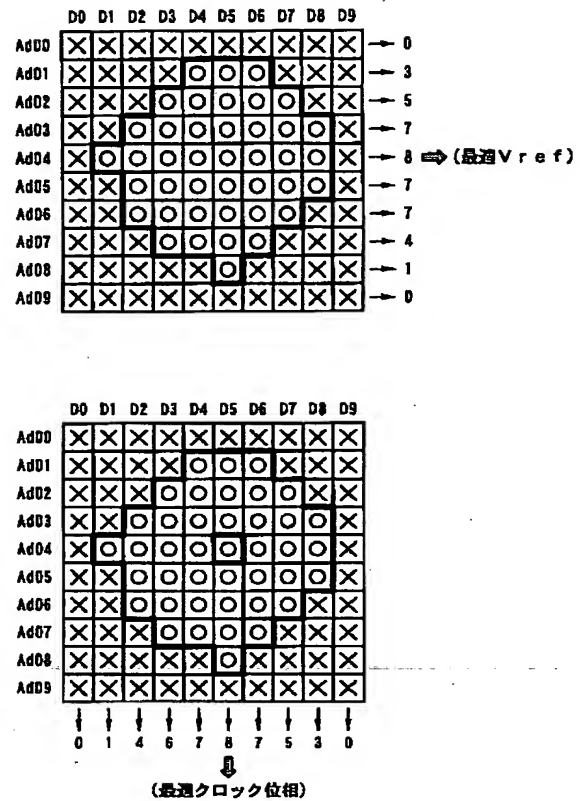
【図19】



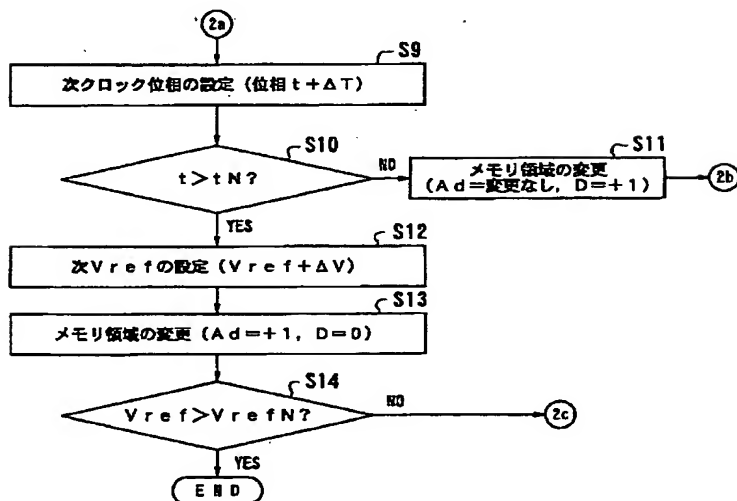
【図20】



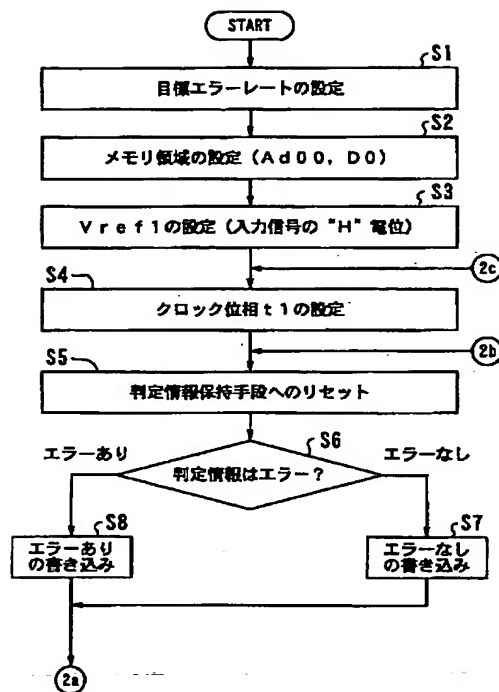
【図21】



【図23】



【図22】



フロントページの続き

(72)発明者 伊藤 淳  
 神奈川県横浜市港北区新横浜2丁目3番9  
 号 富士通デジタル・テクノロジー株式会  
 社内

Fターム(参考) 5J106 AA04 BB02 CC01 CC21 CC38  
 CC41 CC53 GG09 KK32  
 5K047 AA05 AA11 BB02 GG11 GG24  
 MM11 MM28 MM46 MM53 MM55